

특 1998-033347

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁸

H01L 21/48

(11) 공개번호 특 1998-033347

(43) 공개일자 1998년 07월 25일

(21) 출원번호 특 1997-056556
(22) 출원일자 1997년 10월 30일
(30) 우선권주장 96-304193 1996년 10월 31일 일본(JP)
(71) 출원인 가시오게산기가부시킴가미샤 가시오가즈오
일본국 도쿄도 신주구 니시신주구 2-6-1
(72) 발명자 야마모토미츠히코
일본국 도쿄도 아키타시마시 쇼와초 1-8-1-201
(74) 대리인 손은진

심사청구 : 있음

(54) 반도체장치 및 그 제조방법

요약

본 발명은 고정밀도의 피치의 전극소자를 갖는 반도체장치 및 그 제조방법에 관한 것으로서, 반도체칩은 실리콘기판의 상면 주변부에 형성된 제 1 접속전극이 보호층의 개구부를 통해서 노출된 구조로 되어 있으며, 개구부를 제외하는 반도체칩상에는 절연층이 형성되어 있고, 제 1 접속전극상에는 무전해도금층으로 이루어지는 배선이 형성되어 있으며, 배선과 함께 형성된 제 2 접속전극상에 납땜범프가 형성되어 있는 것을 특징으로 한다.

도면도

도 4

명세서

도면의 간단한 설명

도 1a는 본 발명의 제 1 실시형태에 있어서의 반도체장치의 제조에 있어서 이용되는 반도체칩의 위에서 본 대략도.
도 1b는 도 1a의 V-V선을 따르는 대략 단면도.
도 2는 개구부를 갖는 절연층을 퇴적하는 제조공정의 대략 단면도.
도 3a는 표면활성층이 형성된 반도체칩을 위에서 본 대략도.
도 3b는 도 3a의 W-W선을 따르는 대략 단면도.
도 4는 제 2 접속전극상에 납땜범프를 형성하는 제조공정의 대략 단면도.
도 5는 도 4의 대략 사시도.
도 6은 도 5의 반도체장치를 위에서 본 대략도.
도 7은 중간층상에 배선이 형성되는 반도체장치의 대략 단면도.
도 8은 반도체칩의 절연층상에 배선이 형성되는 반도체장치의 대략 단면도.
도 9는 반도체칩상에 개구부를 갖는 제 1 절연층을 형성하는 제조공정의 대략 단면도.
도 10은 배선형성영역 및 제 2 접속전극 형성영역을 제외하는 제 1 절연층의 상면에 제 2 절연층을 형성하는 제조공정의 대략 단면도.
도 11은 제 2 접속전극상에 납땜범프를 형성하는 제조공정의 대략 단면도.
도 12는 제 1 접속전극상에 돌기를 형성하는 제조공정의 대략 단면도.
도 13은 아래금형(67) 및 위금형(68)으로 둘러싸여진 캐비티내에 수지를 충전하는 제조공정의 대략 단면도.
도 14는 돌기를 제거하는 제조공정의 대략 단면도.

도 15는 절연층의 상면, 측면 및 하면에 홈을 형성하는 제조공정의 대략 단면도.

도 16은 홈상에 배선을 형성하는 제조공정의 대략 단면도.

도 17은 제 2 접속전극상에 납땜범프를 형성하는 제조공정의 대략 단면도.

도 18은 종래의 반도체장치의 한 예의 대략 단면도.

도 19는 도 18의 제 2 접속전극과 접속전극단자를 접속하는 제조공정을 위해서 본 대략도이다.

※도면의 주요부분에 대한 부호의 설명

- | | |
|-----------------------|------------------------|
| 21 : 반도체칩 | 22 : 실리콘기판 |
| 25, 42, 52, 71 : 개구부 | 43, 44, 74, 75 : 표면활성층 |
| 45, 57, 76 : 제 2 접속전극 | |
| 46A : 제 1 도체층 | 46B : 제 2 도체층 |
| 48, 59, 79 : 납땜범프 | 49 : 중간층 |
| 50, 56, 77 : 배선 | 51 : 제 1 절연층 |
| 53 : 배선형성영역 | 54 : 제 2 접속전극 형성영역 |
| 55 : 제 2 절연층 | 66 : 돌기 |
| 67 : 아래금형 | 68 : 위금형 |
| 69 : 캐비티 | 72, 73 : 홈 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 고정밀도의 피치의 전극단자를 갖는 반도체장치 및 그 제조방법에 관한 것이다.

예를 들면 CSP(chip size package)라 불리는 LSI 등으로 이루어지는 반도체칩의 실장기술에서는 반도체칩을 회로기판(매인회로기판)상에 직접 실장하는 것이 아니라 서브회로기판을 통해서 실장하고 있다. 이 서브회로기판은 반도체칩의 미세한 전극단자를 외부의 전기회로와 용이하게 접속하기 때문에, 반도체칩이 인접하는 전극단자간보다 폭이 넓은 피치이며 또 반도체칩의 전극단자보다 접속부분이 큰 납땜범프를 이용하여 반도체칩과 외부의 전기회로의 사이에 개재시키는 것이다. 도 18은 종래의 이와 같은 반도체장치(반도체칩과 서브회로기판을 일체화하여 이루어지는 것)의 한 예를 나타낸 것이다. 서브회로기판을 구성하는 폴리이미드 등으로 이루어지는 필름기판(1)의 전체에는 복수의 원구멍(2)이 매트릭스상으로 배열 형성되어 있다. 필름기판(1)의 하면에는 각 원구멍(2)을 막도록 금도금이 실시된 복수의 제 1 접속전극(3)이 형성되어 있다. 필름기판(1)의 하면 주변부에는 복수의 제 2 접속전극(4)이 해당 하면으로부터 주위로 돌출하여 배열 형성되어 있다. 복수의 제 1 접속전극(3)과 제 2 접속전극(4)의 서로 대응하는 것끼리는 필름기판(1)의 하면에 형성된 복수의 배선(5)을 통하여 각각 전기적으로 접속되어 있다.

또한 반도체칩(11)은 실리콘기판(12)의 상면 주변부에 서로 이간한 복수의 접속전극단자(13)가 배열되고, 각 접속단자(13)의 중앙부를 제외하는 실리콘기판(12)의 상면 전체에 산화실리콘이나 질화실리콘으로 이루어지는 보호층(14)이 형성되고 접속전극단자(13)의 중앙부가 보호층(14)에 형성된 개구부(15)를 통해서 노출된 구조로 되어 있다.

서브회로기판 및 반도체칩(11)을 접합하는 방법을 이하에 나타낸다.

우선 서브회로기판은 반도체칩(11)의 보호층(14)의 상면 중앙부에 탄성접착제층(16)을 통해서 접착된다. 다음에 도 19에 나타내는 바와 같이 복수의 접속전극단자(13)의 노출부분간의 피치(LP)가 미세하기 때문에, 접속되기 전의 제 2 접속전극(4')은 a single point thermosonic bonding process에 의해 1개마다 대응하는 접속전극단자(13)에 접속하도록 가열압착헤드(18)에 밀리면서 굴곡된다. 가열압착헤드(18)의 가열에 의해 제 2 접속전극(4) 표면의 용융한 금도금이 곧 고체화하여 제 2 접속전극(4)과 접속전극단자(13)를 접합하고 제 2 접속전극(4)과 접속전극단자(13)는 전기적으로 접속된다. 피치(LP)와 가열압착헤드(18)의 라인(4)의 폭방향의 폭(TW)과 라인(4)의 폭(LW)은 각각 65~100 μ m, 70~100 μ m, 30~50 μ m정도이다. 이 접합부분은 이 후 수지봉지재(17)에 의해 봉지된 후 제 1 접속전극(3)의 원구멍(2)을 통해서 노출된 노출면상에는 거의 구상의 납땜범프(6)가 설치되어 있다.

그러나 종래의 이와 같은 반도체장치에서는 서브회로기판으로서 반도체칩(11)과는 다른 부품인 50~125 μ m의 두께의 필름기판(1)을 이용하고 게다가 이 필름기판(1)을 반도체칩(11)의 보호층(14)의 상면에 충분한 접합성을 갖게 하기 때문에 50~100 μ m의 두께의 탄성접착제층(16)을 통해서 접착하고 있으므로, 전체적으로 매우 두꺼워지는 문제가 있었다. 탄성접착제층(16)은 물리적 응력을 흡수하여 서브회로기판과 반도체칩(11)의 어긋남을 억제하기 위해서는 어느 정도 두껍지 않으면 안되고 또 두꺼워짐에 따라서 제 2 접속전극(4)이 열압착시의 구부러짐정도가 커져 절단되기 쉬워져 버렸다. 또한 필름기판(1)의 제 2 접속전극(4)을 반도체칩(11)의 접속전극단자(13)에 접합하고 있으므로 이 접합이 확실한가 아닌가의

검사를 실시하지 않으면 안되어 귀찮은 문제도 있었다. 그리고 제 2 접속전극(4)은 섬세하여 피치가 작기 때문에 1개마다 열압착하지 않으면 안되므로 제 2 접속전극(4)의 수가 많을수록 스루풋이 낮은 문제가 있었다.

반도체칩(11)은 서브회로기판과의 접합면이 측벽에서 노출하고 있기 때문에, 기계적 응력에 의해 보호층(14)과 실리콘기판(12)의 사이, 또는 보호층(14)과 수지봉지재(17)의 사이에 간격이 생기기 쉽고, 이 간격으로부터 수분이 침투하여 종종 도통불량이 발생하고 있었다.

본 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 서브회로기판을 이용하지 않는 구조로서 반도체장치를 전체적으로 박형화함과 동시에 생산성이 양호한 반도체장치 및 그 제조방법을 제공하는 것이다.

본 발명의 반도체장치에 의하면 반도체칩의 복수의 전극단자 및 외부전기회로와 직접 접속하는 복수의 도전성 범프의 사이에 표면활성층을 갖는 절연층을 설치하고 있으므로 이 반도체칩의 복수의 전극단자와 복수의 도전성 범프를 접속하기 위한 배선 및 전극을 무전해도금에 의해 형성할 수 있고, 이 때문에 반도체칩의 다수의 전극단자를 일괄하여 형성할 수 있으며 또한 전기적 접속이 양호하기 때문에 접합검사를 실시할 필요가 없다. 또 서브회로기판을 이용하고 있지 않으므로 서브회로기판과 반도체칩을 안정되게 접합시키기 때문에 층두께가 두꺼운 단층접착제층이 필요하지 않으므로 반도체장치 전체를 비교적 얇은 구조로 할 수 있다.

본 발명의 반도체장치의 제조방법에 의하면 반도체회로와 도전성 범프와 접속하는 배선 및 전극을 반도체회로상에 설치된 절연막에 직접 형성함으로써 서브회로기판을 이용하지 않으므로 생산성을 향상할 수 있다.

본 발명의 구성 및 작용

제 1 실시형태

본 발명의 제 1 실시형태에 있어서의 반도체장치 및 그 제조방법에 대해서 도 1~도 6을 차례로 참조하면서 설명한다.

도 1a 및 도 1a의 V-V선 단면도인 도 1b에 나타내는 반도체칩(21)은 실리콘기판(22)의 상면에 알루미늄으로 이루어지는 복수의 제 1 접속전극(23)이 실리콘기판(22)의 각 변을 따라 배열되고, 제 1 접속전극(23)의 중앙부를 제외하는 실리콘기판(22)의 상면 전체에 산화실리콘이나 질화실리콘으로 이루어지는 보호층(24)이 형성되며 제 1 접속전극(23)의 중앙부가 보호층(24)에 형성된 개구부(25)를 통해 노출된 구조로 되어 있다. 제 1 접속전극(23)은 반도체칩(21)의 1면에 수십~백수십개 배열되어 있다.

다음에 도 2에 나타내는 바와 같이 스크린 인쇄 등에 의해 개구부(25)를 제외하는 보호층(24)의 상면을 덮도록 10~50 μ m정도, 바람직하게는 10~30 μ m 정도의 층두께의 폴리이미드계 수지 또는 카본블랙 등이 함유된 에폭시수지로 이루어지는 절연층(41)을 형성한다. 따라서 이 상태에서는 보호층(24)의 개구부(25)에 대응하는 부분에 있어서의 절연층(41)에는 개구부(42)가 형성되어 있다.

다음으로 도 3a 및 도 3a의 W-W선 단면도인 도 3b에 나타내는 바와 같이 엑시머레이저로부터의 레이저광의 스캔조사에 의해 절연층(41) 표면의 소정의 곳에 표면활성층(43, 44)을 형성한다. 즉 절연층(41)의 표면에 있어서 복수의 제 1 접속전극(23)에 의해서 둘러싸여진 영역내에 복수의 원형상의 제 2 접속전극을 위한 표면활성층(43)을 매트릭스상 또는 균일하게 거리를 두고 배열한 형상으로 형성함과 동시에 보호층(24) 및 절연층(41)의 복수의 개구부(25, 42)와 복수의 제 2 접속전극을 위한 표면활성층(43)의 서로 대응하는 것끼리를 각각 연결하기 위한 복수의 배선을 위한 표면활성층(44)을 형성한다.

여기에서 이 경우의 엑시머레이저로부터의 레이저광의 조사에 대해서 좀더 구체적으로 설명한다. KrF 엑시머레이저의 경우에는 광에너지가 약 5.0eV이므로, 절연층(41)의 재료인 고분자재료의 기본적인 결합인 C-C결합(3.5eV), C-H결합(4.3eV) 및 C=O결합을 용이하게 절단할 수 있다. 또 발진펄스폭이 10nm정도로 매우 짧으므로 열의 확산을 작게 할 수 있다. 또한 엑시머레이저의 레이저광의 파장이 0.248 μ m로 짧고, 폴리이미드계 수지 및 카본블랙이 함유된 에폭시수지는 이 파장을 흡수하기 쉽기 때문에 용이하게 분자간 결합을 절단하기 쉽고, 또한 표면활성층의 두께를 제어하기 좋아 알기 쉽다. 이상의 것에 절연층(41)의 표면성질을 소수성에서 친수성으로 변질시키기 때문에 절연층(41)의 표면층을 활성화할 때 저열손상으로 깨끗하게 가공할 수 있다.

다음에 도전성 향상을 위해 알루미늄으로 이루어지는 제 1 접속전극(23)의 표면의 자연산화층(도시하지 않음)을 HF계나 인산계의 에칭액을 이용하여 제거한다. 다음으로 도 4에 나타내는 바와 같이 알루미늄에 의해 이온화경향이 작은 아연이나 니켈 등의 무전해도금을 실시함으로써 제 1 접속전극(23)의 표면 및 표면활성층(43, 44)의 표면에 접착용의 제 1 도체층(46A)을 두께 수 μ m정도로 얇게 형성하고, 계속해서 아연이나 니켈에 의해 이온화경향이 작은 동 등의 무전해도금을 실시함으로써 제 1 도체층(46A)의 표면에 제 2 도체층(46B)을 형성하고, 이에 의해 제 2 접속전극을 위한 표면활성층(43)의 표면에 제 2 접속전극(45)을 구성함과 동시에 제 1 접속전극(23)의 표면상 및 배선을 위한 표면활성층(44)의 표면상에 배선(50)을 구성한다. 이 상태에서는 제 1 접속전극(23)과 제 2 접속전극(45)은 배선(50)을 통해서 전기적으로 접속되어 있다. 제 1 도체층(46A)은 표면활성층(43, 44)의 작용에 의해 용이하게 표면활성층(43, 44) 표면에 형성할 수 있다. 또한 제 2 도체층(46B)의 표면에 제 2 도체층(46B) 재료에 의해 이온화경향이 작은 금의 무전해도금에 의해 산화방지용의 제 3 도체층을 형성하도록 해도 좋다.

다음으로 스크린 인쇄 등에 의해 제 2 접속전극(45)을 제외하는 상면 전체에 에폭시계나 폴리이미드계 등의 수지를 도포하여 보호층(47)을 형성한다. 이 보호층(47)은 배선(50)의 표면을 보호함과 동시에 다음에 설명하는 납땜법 형성시의 납땜 유출방지를 위한 벽부로서의 역할을 하는 것이며, 그 두께는 표면활성층(44)상에 있어서의 배선(50)상에 있어서 10 μ m정도 이하이어도 충분히 가능하다. 다음에 제 2 접속전극(45)상에 상온에서 고체형상의 납땜물을 탑재하고 또는 상온에서 용융된 납땜페이스트를 인쇄한

후에 리플로우함으로써 대략 구상의 납땜범프(48)를 형성한다. 이렇게 하여 도 5에 나타내는 바와 같이 이 제 1 실시형태에 있어서의 반도체장치가 제조된다.

납땜범프(48)는 도 6에 나타내는 바와 같이 외부 전기회로의 단자와의 접속시의 접속면적이 개구부(25, 42)에 의한 제 1 접속전극(23)의 개구면적보다 커지는 구조이며 또 나접하는 납땜범프(48)간의 피치(Pitch)가 개구부(25, 42)의 피치(Pitch)보다 길도록 배치되어 있으므로 외부 전기회로의 단자와의 접속이 용이하고 또 접합성이 우수해 있다.

사각형상의 반도체칩(21)의 실리콘기판(22)의 1면에 제 1 접속전극(23)이 100개 배열하고 있는 경우 각각 400개의 제 1 접속전극(23) 및 납땜범프(48)를 갖게 되지만, 본 실시형태의 반도체장치의 구조에서는 제 2 접속전극(45)상의 납땜범프(48)를 제 1 접속전극(23)의 4번으로 둘러싸여진 영역내에 매트릭스상으로 배열하면 세로, 가로 모두 1변당 20개의 제 2 접속전극(45) 및 납땜범프(48)를 배열하면 층으로 서로 인접하는 납땜범프(48)간의 피치(Pitch)를 매우 크게 할 수 있다.

그리고 이와 같이 하여 얻어진 반도체장치에서는 서브회로기판을 이용하지 않으므로 절연층(41) 및 보호층(47)을 합쳐도 수십 μm 정도의 총두께이기 때문에 전체적으로 박형으로 할 수 있다.

그리고 탄성접착제층(16)을 이용하고 있지 않으므로 프로세스중에 제 2 접속전극(45)과 배선(50)이 허공에 떠있는 일이 없기 때문에 종래의 열압착시에 발생할 수 있는 접속위치 어긋남은 거의 없고, 또 반도체칩(21)의 제 1 접속전극(23)상에 배선(50)을 무전해도금법에 의해 2중구조로 형성하고 있으므로 제 2 접속전극(45) 및 배선(50)의 형성과 동시에 배선(50)을 제 1 접속전극(23)에 확실하게 접합할 수 있고, 따라서 접합검사를 불필요하게 할 수 있다.

전체 제 2 접속전극(45) 및 배선(50)은 무전해도금법에 의해 일괄하여 형성하고 있으므로 스톱을 양호하게 하여 반도체장치를 제조할 수 있다. 또한 표면활성층(43, 44)은 엑시머레이저로부터의 레이저광의 스캔조사에 의해서 형성하고 있으므로 매우 미세하며 또 폭을 좁게 형성할 수 있고, 또 무전해도금법을 실시할 때 절연층(41)의 소수성의 부분에는 제 1 도체층(46A)이 거의 석출되지 않으며 표면활성층(43, 44) 표면만에 제 1 도체층(46A)이 형성할 수 있기 때문에 배선(50)은 엑시머레이저광의 스캔패턴에 따라서 매우 미세하고 또 폭이 좁은 형상으로 형성할 수 있다.

또한 상기 제 1 실시형태에서는 도 3a에 나타내는 표면활성층(43, 44)을 엑시머레이저로부터의 레이저광의 스캔조사에 의해서 형성하고 있지만, 이에 한정되는 것은 아니다. 이 제 1 실시형태의 경우에는 반도체칩(21)의 상면에만 절연층(41)을 형성하고 있으므로 소정 패턴의 마스크를 이용한 일괄 조사에 의해 표면활성층(43, 44)을 형성하도록 해도 좋다. 또 상기 제 1 실시형태에서는 도 4에 나타내는 바와 같이 제 1 접속전극(23)상에 배선(50)을 직접 형성하고 있지만 이에 한정되는 것은 아니다. 예를 들면 도 7에 나타내는 바와 같이 절연층(41)을 형성한 후에 이 절연층(41)의 개구부(25, 42)내에 아연이나 니켈 등의 무전해도금에 의해 중간층(49)을 형성하고, 이어서 표면활성층(43, 44)을 형성하고, 다음으로 중간층(49) 및 표면활성층(43, 44)상에 금속층을 형성하고, 금속층으로 구성되는 접속전극(45)과 중간층(49)과 금속층으로 구성되는 배선(50)을 형성하도록 해도 좋다. 금속층은 중간층(49)재료에 의해 이온화경향이 작은 등 등의 금속재료로 구성하면 용이하게 무전해도금에 의해 형성할 수 있다.

또 도 8에 나타내는 바와 같이 반도체칩(21)으로서 산화실리콘이나 질화실리콘으로 이루어지는 보호층(24) 대신에 10~30 μm 정도의 총두께의 폴리이미드계수지 또는 카본블랙 등이 함유된 에폭시수지로 이루어지는 절연보호층(124)을 구비하고 있는 것을 이용하고, 이 보호층(124)의 표면에 표면활성층(43, 44)을 직접 형성하면 보다 얇은 반도체장치를 형성할 수 있다.

제 2 실시형태

다음으로 본 발명의 제 2 실시형태에 있어서의 반도체장치의 제조방법에 대해서 도 9~도 11을 차례로 참조하면서 설명한다. 이 제 2 실시형태에 있어서도 상기 제 1 실시형태의 경우와 마찬가지로 우선 도 1a 및 도 1b에 나타내는 반도체칩(21)을 준비한다. 다음으로 도 9에 나타내는 바와 같이 스크린인쇄 등에 의해 개구부(25)를 제외하는 보호층(24)의 상면을 덮도록 폴리이미드계 등의 수지로 이루어지는 제 1 절연층(51)을 두께 10 μm ~30 μm 정도로 형성한다. 따라서 이 상태에서는 보호층(24)의 개구부(25)에 대응하는 부분에 있어서의 제 1 절연층(51)에는 개구부(52)가 형성되어 있다.

다음으로 도 10에 나타내는 바와 같이 스크린인쇄 등에 의해 제 1 접속전극(23)의 노출면을 포함하는 배선형성영역(53) 및 제 2 접속전극 형성영역(54)을 제외하는 제 1 절연층(51)의 상면 전체에 폴리이미드계 등의 수지로 이루어지는 제 2 절연층(55)을 두께 10 μm ~30 μm 정도로 형성한다. 배선형성영역(53) 및 제 2 접속전극-형성영역(54)의 위에서 보았을 때의 패턴은 도 3a의 개구부(25) 및 표면활성층(43, 44)의 패턴과 마찬가지로의 형상이다.

따라서 이 상태에서는 제 2 절연층(55)에 있어서 복수의 제 1 접속전극(23)에 의해 둘러싸여진 영역내에 복수의 원형상의 개구부로 이루어지는 제 2 접속전극 형성영역(54)이 매트릭스상 또는 균일하게 거리를 두고 배열한 형상으로 형성되어 있음과 동시에 보호층(24) 및 제 1 절연층(51)의 복수의 개구부(25, 52)와 복수의 제 2 접속전극 형성영역(54)의 서로 대응하는 것끼리를 각각 연결하기 위한 복수의 개구부로 이루어지는 배선형성영역(53)이 형성되어 있다. 또한 제 2 절연층(55)은 다음에 설명하는 도전성 페이스트 도포시의 도전성 페이스트 유출방지를 위한 벽부로서의 역할을 하는 것이므로 그 두께는 10 μm 정도로 좋다.

다음으로 알루미늄으로 이루어지는 제 1 접속전극(23) 표면의 자연산화층(도시하지 않음)을 HF계나 인산계의 에칭액을 이용하여 제거한다. 다음에 도 11에 나타내는 바와 같이 스크린인쇄 등에 의해 배선형성영역(53) 및 제 2 접속전극 형성영역(54)에 도전성 페이스트(예를 들면 은 등의 금속층을 함유하는 페이스트)를 도포함으로써 배선(56) 및 제 2 접속전극(57)을 형성한다. 이 상태에서는 제 1 접속전극(23)과 제 2 접속전극(57)은 배선(56)을 통해 접속되어 있다. 이 도전성 페이스트는 제 1 실시형태와 같이 표면활성층(43, 44)을 이용하지 않고도 배선형성영역(53) 및 제 2 접속전극 형성영역(54)에 용이하게 형성할 수 있다. 또한 제 2 절연층(55)을 폴리이미드에 의해 형성할 경우 그 도포후에 경화시

키기 위한 온도는 300~350℃ 정도로 하고, 베이킹시간은 60~90분 정도로 한다. 그리고 도전성 페이스트를 경화시키기 위한 온도는 200℃ 정도 이하로 한다.

다음으로 스크린인쇄 등에 의해 제 2 접속전극(57)을 제외하는 상면 전체에 에폭시계나 폴리이미드계 등의 수지를 도포하여 보호층(58)을 형성한다. 이 보호층(58)은 배선(56)의 표면을 보호함과 동시에 다음에 설명하는 납땜법프 형성시의 납땜 유출방지를 벽부로서의 역할을 하는 것이며, 그 두께는 제 1 절연층(51)상에 있어서의 배선(56)상에 있어서 10 μ m 정도 이하이어도 충분하다. 다음에 제 2 접속전극(57)상에 납땜볼을 탑재하고 또는 납땜페이스트를 인쇄한 후에 리플로우함으로써 대략 구상의 납땜법프(59)를 형성한다. 이렇게 하여 이 제 2 실시형태에 있어서의 반도체장치가 제조된다.

이와 같이 하여 얻어진 반도체장치에서도 제 1 절연층(51), 제 2 절연층(55) 및 보호층(58)의 3층의 두께가 100 μ m 정도 이하로 할 수 있어 전체적으로 박형화할 수 있다. 또 반도체칩(21)의 제 1 접속전극(23)상에 배선(56)을 형성하고 있으므로 제 2 접속전극(57) 및 배선(56)의 형성과 동시에 배선(56)을 제 1 접속전극(23)에 확실하게 접합할 수 있고, 따라서 접합검사를 불필요하게 할 수 있다. 또 반도체칩(21)의 상면만에 제 1 절연층(51) 등을 형성하고 있으므로 웨이퍼의 상태에 있어서 납땜법프(59)의 형성까지 실시할 수도 있다. 또한 제 2 접속전극(57) 및 배선(56)을 스크린인쇄 등에 의해 형성하고 있으므로, 무전해도금에 의한 경우보다도 간단히 형성할 수 있다. 또 본 실시형태에 있어서도 도 8에 나타내는 바와 같이 반도체칩(21)으로서 산화실리콘이나 질화실리콘으로 이루어지는 보호층(24) 대신에 10~30 μ m 정도의 층두께의 폴리이미드계수지 또는 카본블랙등이 함유된 에폭시수지로 이루어지는 절연보호층(124)을 구비하고 있는 것을 이용하고, 이 보호층(124)의 표면상 및 반도체칩(21)의 접속전극단자(23)상에 배선(56) 및 제 2 접속전극(57)을 형성하면 보다 얇은 반도체장치를 형성할 수 있다.

제 3 실시형태

다음으로 본 발명의 제 3 실시형태에 있어서의 반도체장치의 제조방법에 대해서 도 12~도 17를 차례로 참조하면서 설명한다.

도 12에 나타내는 바와 같이 저압 스크린인쇄 등에 의해 반도체칩(21)의 접속전극단자(23)의 보호층(24)의 개구부(25)를 통해서 노출된 노출면상에 폴리이미드계 등의 수지로 이루어지는 몰기(66)를 형성한다.

다음으로 도 13에 나타내는 바와 같이 아래금형(67)내에 반도체칩(21)을 몰기(66)를 하측으로 하여 배치하고, 계속해서 아래금형(67)내를 위금형(68)으로 닫는다. 이 상태에서는 반도체칩(21)의 주위 전체에 몰기(66)의 높이에 대응하는 대략 일정한 간격의 캐비티(69)가 형성되어 있다. 다음으로 이 캐비티(69)내에 에폭시계나 카본블랙등이 함유된 폴리이미드계 등의 수지를 충전함으로써 반도체칩(21)의 주위 전체를 덮도록 절연층(70)을 형성한다.

다음으로 도시하지 않은 소정 패턴의 레지스트마스크를 이용한 포토리소그래피에 의해 몰기(66)를 제거하고, 도 14에 나타내는 바와 같이 보호층(24)의 개구부(25)에 대응하는 부분에 있어서의 절연층(70)에 개구부(71)가 형성된다. 따라서 이 상태에서는 제 1 접속전극(23)의 중앙부는 보호층(24)의 개구부(25) 및 절연층(70)의 개구부(71)를 통해서 노출되어 있다.

그리고 도 15에 나타내는 바와 같이 반도체칩(21)의 하면에 형성된 절연층(70)의 표면측에는 복수의 원형상의 제 2 접속전극을 위한 홈(72)이 매트릭스상으로 형성되어 있다. 또 반도체칩(21)의 상면, 측면 및 하면에 형성된 절연층(70)의 각 표면측에는 보호층(24) 및 절연층(70)의 복수의 개구부(25, 71)와 복수의 제 2 접속전극을 위한 홈(72)의 서로 대응하는 것끼리를 각각 연결하기 위한 복수의 배선을 위한 홈(73)이 형성되어 있다.

다음으로 홈(72, 73)의 형성방법에 대해서 설명한다. 엑시머레이저로부터의 레이저광을 반도체칩(21)의 상면, 측면 및 하면에 형성된 절연층(70)의 각 표면의 소정의 곳에 스캔조사하면 이 조사영역에 있어서의 절연층(70)의 표면층을 형성하는 수지의 분자 결합이 절단됨으로써 등 조사영역에 있어서의 절연층(70)의 표면층이 에칭되고, 이에 의해 깊이 수십 μ m 정도의 홈(72, 73)이 형성된다. 배선을 위한 홈(73)의 폭은 반도체칩(21)의 사이즈, 제 1 접속전극(23)의 개수 및 피치 등에 좌우되지만 일반적으로는 100 μ m 정도 이하로 한다.

그런데 엑시머레이저 대신에 CO 레이저나 YAG 레이저를 이용해도 좋다. 그러나 이들 레이저의 레이저광의 파장은 짧은 것일수록 좋고, 따라서 엑시머레이저가 가장 바람직하다. 그 이유는 파장이 짧으면 절연층(70)의 표면층을 에칭할 때 열손상이 적고, 매우 형터가 정돈된 홈(72, 73)을 형성할 수 있기 때문이다. 또 엑시머레이저의 경우에는 홈(72, 73)의 바닥면이 거칠어지고, 해당 바닥면의 표면정질이 소수성에서 친수성으로 변질하여 도 15에 나타내는 바와 같이 홈(72, 73)의 바닥면에 표면활성층(74, 75)이 형성된다. 표면활성층(74, 75)을 형성하는 것은 뒤에 설명하는 무전해도금을 위한 무전해도금 가능부를 형성하기 때문이다. 이에 대해서 CO 레이저나 YAG 레이저의 경우에는 홈(72, 73)이 형성될 뿐이고, 따라서 그 후에 홈(72, 73)의 바닥면의 표면정질을 소수성에서 친수성으로 변질하기 때문에 엑시머레이저로부터의 레이저광을 조사하게 된다. 이 경우 엑시머레이저광의 조사폭은 홈(72, 73)의 폭과 같거나 그 이하로 한다.

다음으로 알루미늄으로 이루어지는 제 1 접속전극(23)의 표면의 자연산화층(도시하지 않음)을 HF계나 인산계의 에칭액을 이용하여 제거한다. 다음에 도 16에 나타내는 바와 같이 니켈 등의 무전해도금을 실시함으로써 제 2 접속전극을 위한 홈(72)의 표면활성층(74)의 표면에 금속도금층으로 이루어지는 제 2 접속전극(76)을 형성함과 동시에 제 1 접속전극(23)의 표면 및 배선을 위한 홈(73)의 표면활성층(75)의 표면에 금속도금층으로 이루어지는 배선(77)을 형성한다. 이 상태에서는 제 1 접속전극(23)과 제 2 접속전극(76)은 배선(77)을 통해서 전기적으로 접속되어 있다.

다음으로 도 17에 나타내는 바와 같이 디스펜서 등에 의해 보호층(24) 및 절연층(70)의 개구부(25, 71) 내 및 배선을 위한 홈(73)내에 에폭시계나 폴리이미드계 등의 수지를 도포하여 보호층(78)을 형성한다.

이 보호층(78)은 배선(77)의 표면을 보호함과 동시에 다음에 설명하는 납땜범프 형성시의 납땜 유출방지용 벽부로서의 역할을 하는 것이다. 다음으로 제 2 접속전극(76)상에 납땜몰을 탑재하고 또는 납땜페이스트를 인쇄한 후에 리플로우함으로써 대략 구상의 납땜범프(79)를 형성한다. 이렇게 하여 이 제 3 실시형태에 있어서의 반도체장치가 제조된다.

발명의 효과

이와 같이 하여 얻어진 반도체장치에서는 전체 제 2 접속전극(76) 및 배선(77)이 무전해도금법에 의해 일괄하여 형성하고 있으므로 스루풋을 양호하게 하여 반도체장치를 제조할 수 있다.

또한 엑시머레이저로부터의 레이저광에 의해 홀(72, 73) 및 홀(72, 73)표면의 표면활성층(74, 75)을 치밀하게 형성할 수 있으므로 무전해도금법에 의해 배선(77)은 엑시머레이저의 레이저광의 스캔패턴에 따라서 매우 미세하고 폭이 좁은 형상으로 형성할 수 있다. 상기 제 1~제 3 실시형태에 있어서의 절연층(41, 70, 124)에는 카본블랙등이 함유된 에폭시수지를 갖고 있어도 좋으나 엑시머레이저로부터의 레이저광을 충분히 흡수할 수 있는 에폭시수지이면 카본블랙 등을 포함하지 않는 에폭시수지이어도 좋다. 그리고 조사파장이 짧고 절연층(41, 70, 124)에 흡수되기 쉬운 레이저광이면 엑시머레이저에 한하지 않으며 다른 레이저에 의해 레이저광을 조사하여 표면활성층을 형성해도 좋다.

또 반도체칩(21)의 상면, 측면 및 하면을 덮도록 형성된 절연층(70)의 표면측에 제 2 접속전극(76) 및 배선(77)을 형성하여 반도체칩(21)과는 다른 부품인 서브회로기판을 이용하고 있지 않으므로 전체적으로 박형화할 수 있다. 이 경우 제 2 접속전극(76) 및 배선(77)하에 있어서의 절연층(70)의 두께는 제 2 접속전극(76) 및 배선(77)이 실리콘기판(22)과 쇼트하지 않는 것을 조건으로 하여 가급적 얇게 할 수 있다. 또 반도체칩(21)의 제 1 접속전극(23)상에 배선(77)을 형성하고 있으므로 제 2 접속전극(76) 및 배선(77)의 형성과 동시에 배선(77)을 제 1 접속전극(23)에 확실하게 접합할 수 있고, 따라서 접합검사를 불필요하게 할 수 있다. 이 경우 배선을 위한 홀(73)내 및 절연층(70)의 개구부(71)내에 배선(77)을 형성하고 있으므로 보호층(78)이 없어도 배선(77)이 다른 전자부품 등과 쇼트하기 어렵도록 할 수 있다.

또한 상기 제 3 실시형태에서는 도 12에 나타내는 몰기(66)를 폴리이미드계 등의 수지에 의해 형성한 경우에 대해서 설명했지만 이에 한정하지 않고 제 1 접속전극(23)의 재료와 다르며 에칭액의 선택비가 큰 금속재료, 또는 절연층(70)의 재료와 다르며 에칭액의 선택비가 큰 수지재료에 의해서 형성해도 좋다. 이 경우 포트리소그래피에 의존하지 않고도 몰기(66)를 제거할 수 있다. 또 보호층(78)을 형성하지 않고 배선(77)의 표면에 금 등의 산화하기 어려운 금속재료로 이루어지는 무전해도금층을 형성하도록 해도 좋다. 이 경우 배선을 위한 홀(73)내 및 절연층(70)의 개구부(71)내에 배선(77)을 형성하고 있으므로 보호층(78)이 없어도 배선(77)이 다른 전자부품 등과 쇼트하기 어렵도록 할 수 있다. 그리고 절연층(70) 및 보호층(78)이 반도체칩(21) 전체를 덮고 있으므로 기계강도가 크다.

(57) 청구의 범위

청구항 1. 복수의 제 1 접속전극을 구비한 반도체회로를 갖는 반도체장치는,

상기 반도체회로의 상기 복수의 제 1 접속전극상에 복수의 개구부를 갖고, 해당 복수의 개구부로부터 연속하여 형성된 복수의 표면활성층을 갖는 절연층(단수)과,

상기 복수의 제 1 접속전극상 및 상기 표면활성층상에 형성된 복수의 배선 및 해당 복수의 배선에 접속된 복수의 제 2 접속전극과,

상기 복수의 제 2 접속전극상에 형성되는 복수의 도전성 범프를 포함하는 것을 특징으로 하는 반도체장치.

청구항 2. 제 1 항에 있어서,

상기 반도체회로는 상기 복수의 제 1 접속전극상에 복수의 개구부를 갖는 보호층(단수)을 갖고, 해당 보호층의 상기 복수의 개구부는 상기 절연층의 상기 복수의 개구부에 대응하여 설치되어 있는 것을 특징으로 하는 반도체장치.

청구항 3. 제 2 항에 있어서,

상기 복수의 도전성 범프는 서로 인접하는 상기 복수의 제 1 접속전극이 상기 보호층의 상기 복수의 개구부로부터 노출하고 있는 복수의 노출부분간의 거리보다 서로 인접하는 상기 복수의 도전성 범프간의 거리쪽이 길도록 배치되어 있는 것을 특징으로 하는 반도체장치.

청구항 4. 제 2 항에 있어서,

상기 복수의 도전성 범프의 각각의 표면적은 상기 보호층의 상기 복수의 개구부로부터 노출하고 있는 상기 복수의 제 1 접속전극의 복수의 노출부분의 각각의 면적보다 큰 것을 특징으로 하는 반도체장치.

청구항 5. 제 1 항에 있어서,

상기 복수의 배선 및 상기 복수의 제 2 접속전극은 각각 복수의 도전층을 갖는 것을 특징으로 하는 반도체장치.

청구항 6. 제 5 항에 있어서,

상기 복수의 도전층은 상기 표면활성층측의 층으로부터 이온화경향이 큰 재료를 갖는 것을 특징으로 하는 반도체장치.

청구항 7. 제 1 항에 있어서,

상기 복수의 배선상 및 상기 절연층상에 설치되고, 상기 복수의 도전성 범프의 일부를 둘러싸는 도전성

범프 지지층을 또한 포함하는 것을 특징으로 하는 반도체장치.

청구항 8. 제 1 항에 있어서,

상기 반도체회로의 상기 복수의 제 1 접속전극은 상기 반도체회로의 적어도 2번의 돌레를 따라 배열되고,

상기 복수의 도전성 범프는 상기 반도체회로의 적어도 2번의 돌레를 따라 배열된 상기 복수의 제 1 접속전극에 둘러싸여진 영역내에 매트릭스상으로 배열되어 있는 것을 특징으로 하는 반도체장치.

청구항 9. 복수의 제 1 접속전극을 갖는 반도체회로를 갖는 반도체장치의 제조방법은,

상기 반도체회로의 상기 복수의 제 1 접속전극상에 복수의 개구부를 갖는 절연층(단수)을 상기 반도체회로상에 형성하는 절연층 형성스텝과,

상기 절연층의 상기 개구부로부터 노출된 상기 복수의 제 1 접속전극상 및 상기 절연층상에 복수의 배선 및 해당 복수의 배선에 접속되는 복수의 제 1 접속전극을 형성하는 전극 형성스텝과,

상기 복수의 제 1 접속전극상에 복수의 도전성 범프를 형성하는 도전성 범프 형성스텝을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 10. 제 9 항에 있어서,

상기 절연층 형성스텝은 상기 절연층의 표면에 표면활성층을 형성하는 것을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 11. 제 10 항에 있어서,

상기 표면활성층은 레이저광의 상기 절연층으로의 조사에 의해 형성되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 12. 제 9 항에 있어서,

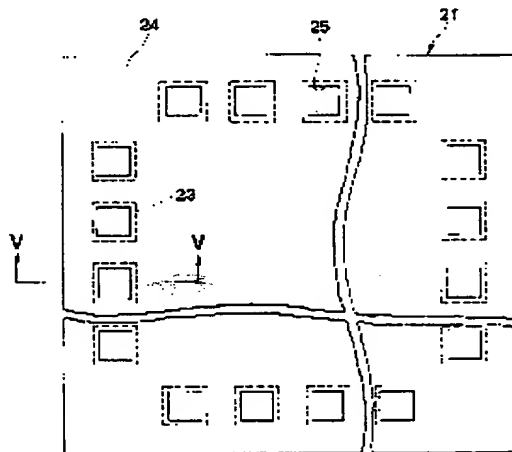
상기 전극 형성스텝은, 상기 절연층의 상기 개구부로부터 노출된 상기 복수의 제 1 접속전극상 및 상기 절연층의 표면상의 상기 표면활성층상에 무전해도금법에 의해 상기 복수의 제 1 접속전극을 형성하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 13. 제 9 항에 있어서,

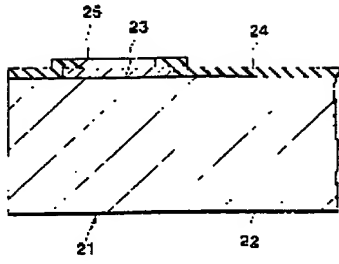
상기 전극 형성스텝과 상기 도전성 범프 형성스텝의 사이에(어느 스텝이고) 상기 복수의 배선상 및 상기 절연층상에 상기 복수의 도전성 범프의 일부를 둘러싸는 도전성 범프를 형성하는 도전성 범프 지지층 형성스텝을 또한 갖는 것을 특징으로 하는 반도체장치의 제조방법.

도면

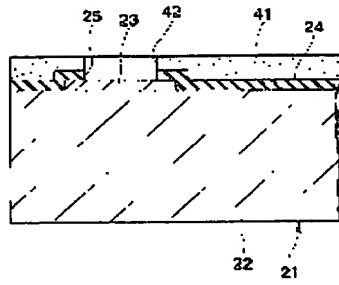
도면 1a



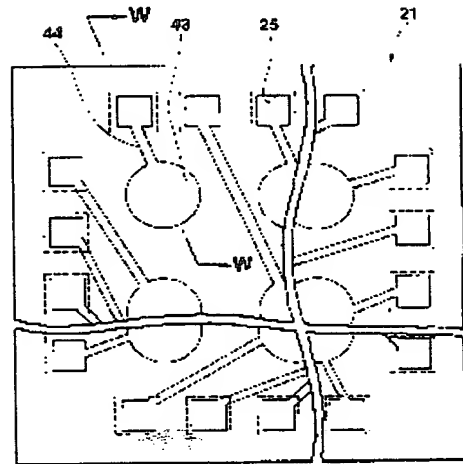
도면1b



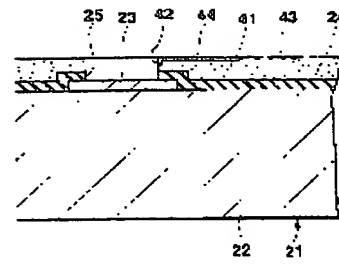
도면2



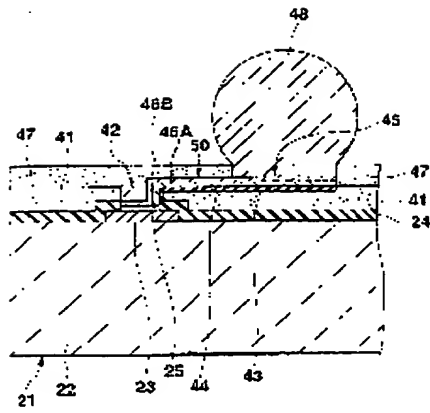
도면3a



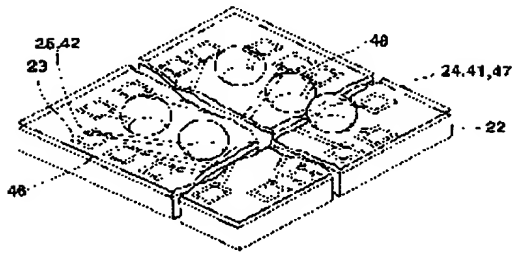
도면3b



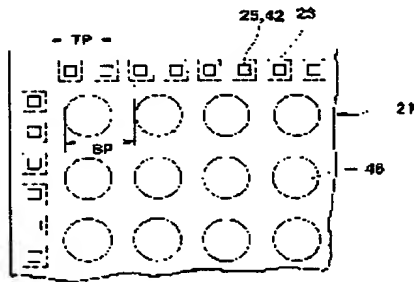
도면4



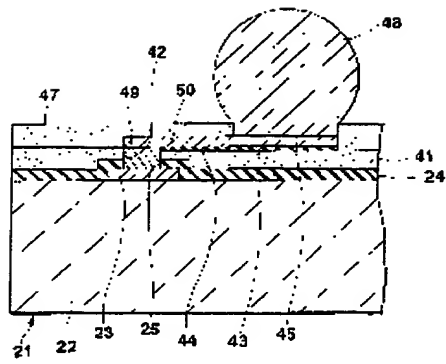
도면5



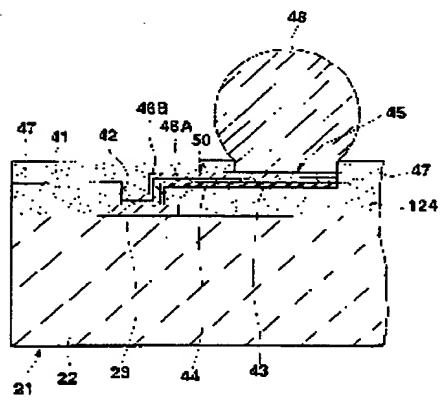
도면6



도 17



5048



589

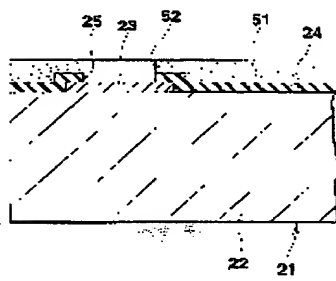
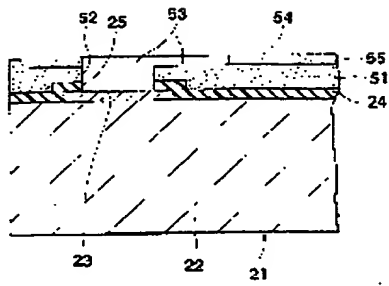
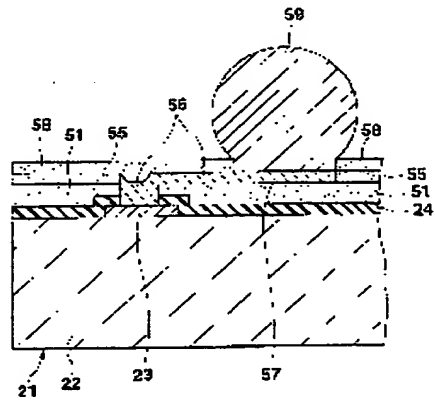


도표 10



도출



5012

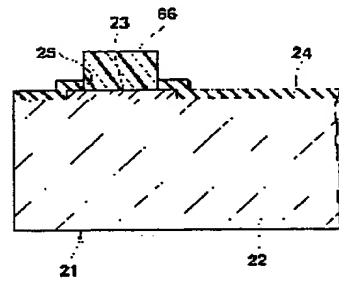
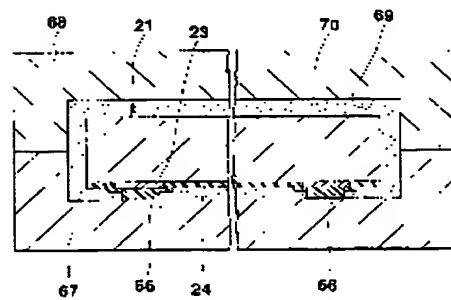
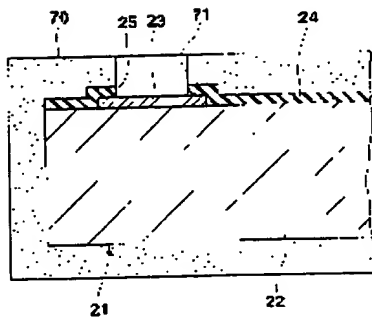


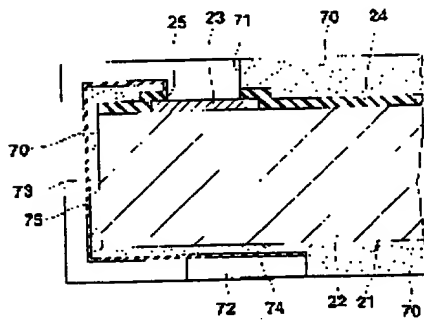
도표 13



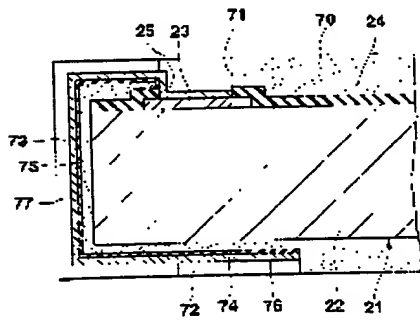
도면14



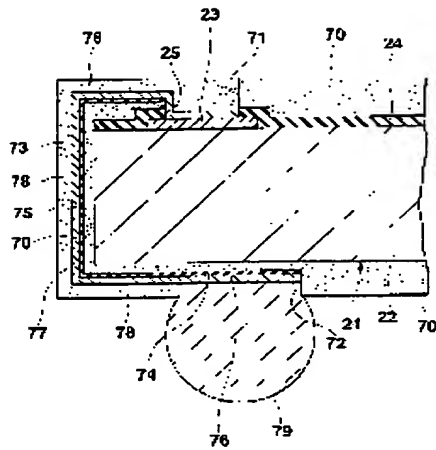
도면15



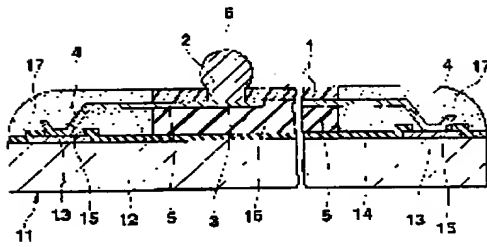
도면16



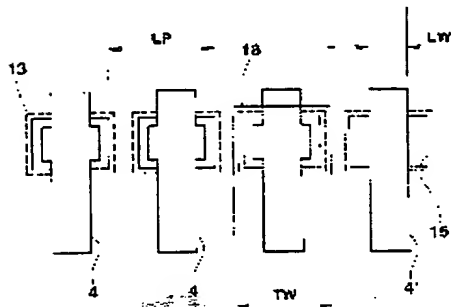
도면17



도면18



도면19



THIS PAGE BLANK